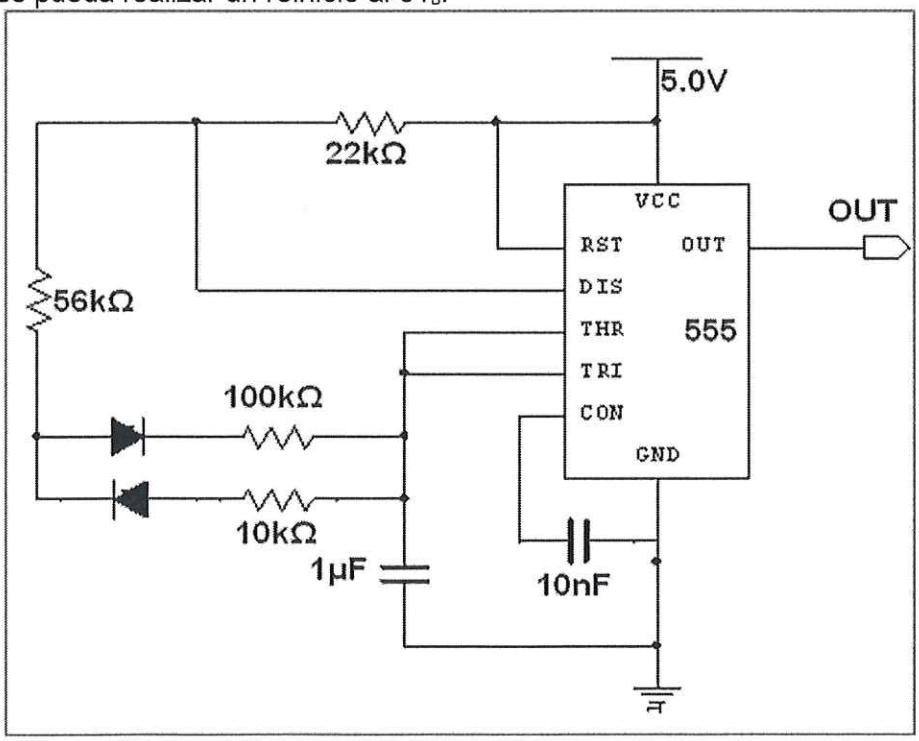
JUNTA DE CASTILLA Y LEÓN - SORIA
TRIBUNAL Nº 1 - OPOSICIONES AL CUERPO 0590-124-2023

CUERPO:	PROFESORES DE ENSEÑANZA SECUNDARIA
ESPECIALIDAD:	SISTEMAS ELECTRÓNICOS
PRUEBA:	B.2.
TURNO:	1

EJERCICIO Nº 1

La salida del esquema se utiliza como señal de reloj. Se desea realizar un contador síncrono, realizado con biestables J-K (con un DM7476) que en función de una señal $U/\overline{D}$ (Up/Down), haga un conteo del 1 al 3 (01_B, 10_B, 11_B) de forma ascendente o descendente. También se quiere disponer de un pulsador de forma que se pueda realizar un reinicio al 01_B.



Suponiendo los diodos ideales, se pide:

1. determinar la salida del CI 555 por el pin OUT.

Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - SORIA
TRIBUNAL Nº 1 - 2023
OPOSICIONES AL CUERPO 0590-124

2. Realizar el diseño del contador con el correspondiente circuito de reset según las condiciones descritas

ANEXO I: DATASHEET 555

7.4.2 Astable Operation

If the circuit is connected as shown in Figure 14 (pins 2 and 6 connected) it will trigger itself and multivibrator. The external capacitor charges through $R_A + R_B$ and discharges through R_B. Thus may be precisely set by the ratio of these two resistors.

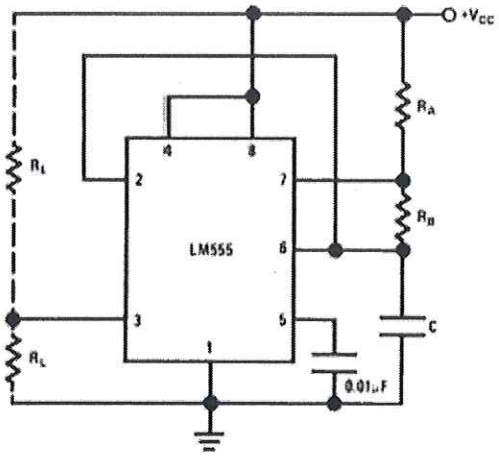


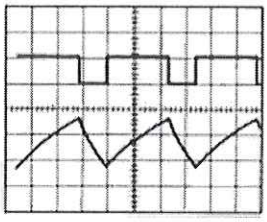
Figure 14. Astable

In this mode of operation, the capacitor charges and discharges between 1/3 V_{CC} and 2/3 V triggered mode, the charge and discharge times, and therefore the frequency are independent voltage.

Figure 15 shows the waveforms generated in this mode of operation.

Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - SORIA
TRIBUNAL Nº 1
OPOSICIONES AL CUERPO 0590-124-2023



V_{CC} = 5 V
TIME = 20µs/DIV.
R_A = 3.9 kΩ
R_B = 3 kΩ
C = 0.01 µF

Top Trace: Output 5V/Div.
Bottom Trace: Capacitor Voltage 1V/Div.

Figure 15. Astable Waveforms

The charge time (output high) is given by:

$$t_1 = 0.693\ (R_A + R_B)\ C \quad (1)$$

And the discharge time (output low) by:

$$t_2 = 0.693\ (R_B)\ C \quad (2)$$

Thus the total period is:

$$T = t_1 + t_2 = 0.693\ (R_A + 2R_B)\ C \quad (3)$$

The frequency of oscillation is:

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)\,C} \quad (4)$$

Figure 16 may be used for quick determination of these RC values.

The duty cycle is:

$$D = \frac{R_B}{R_A + 2R_B} \quad (5)$$

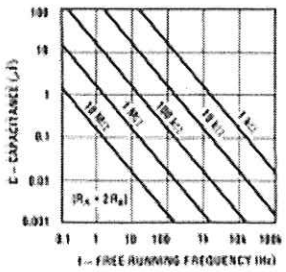


Figure 16. Free Running Frequency

Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - TRIBUNAL Nº 1 - OPOSICIONES AL CUERPO 0590-124-2023 - SORIA

ANEXO II: DATASHEET 7476

Cortesía de CEDE www.cede.es

TRIBUNAL Nº 1 - CASTILLA Y LEÓN - 2023 - 090-124 - PRUEBAS AL CUERPO

FAIRCHILD SEMICONDUCTOR™

September 1986
Revised July 2001

DM7476
Dual Master-Slave J-K Flip-Flops with Clear, Preset, and Complementary Outputs

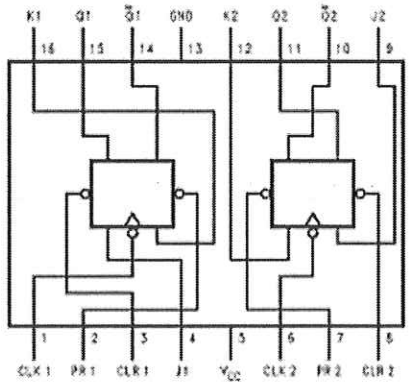
General Description

This device contains two independent positive pulse triggered J-K flip-flops with complementary outputs. The J and K data is processed by the flip-flop after a complete clock pulse. While the clock is LOW the slave is isolated from the master. On the positive transition of the clock, the data from the J and K inputs is transferred to the master. While the clock is HIGH the J and K inputs are disabled. On the negative transition of the clock, the data from the master is transferred to the slave. The logic state of J and K inputs must not be allowed to change while the clock is HIGH. The data is transferred to the outputs on the falling edge of the clock pulse. A LOW logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM7476N	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300" Wide

Connection Diagram



Function Table

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H (Note 1)	H (Note 1)
H	H	⎍	L	L	Q_0	$\overline{Q}_0$
H	H	⎍	H	L	H	L
H	H	⎍	L	H	L	H
H	H	⎍	H	H	Toggle	

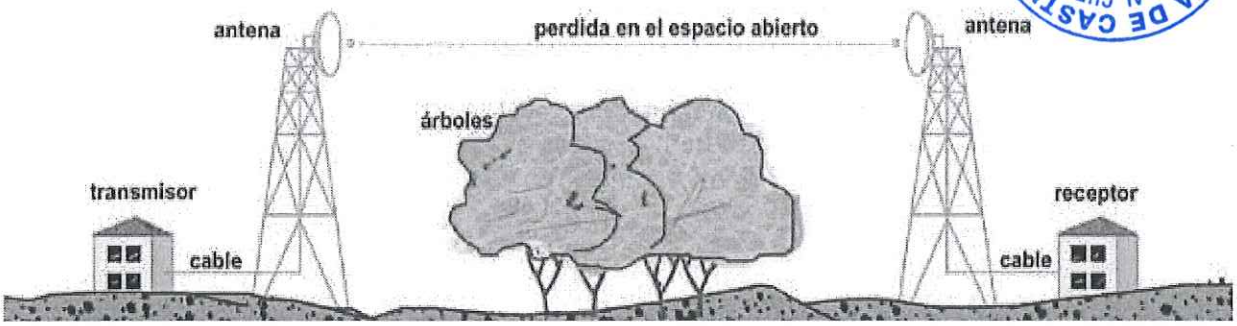
H = HIGH Logic Level
L = LOW Logic Level
X = Either LOW or HIGH Logic Level
⎍ = Positive pulse data. The J and K inputs must be held constant while the clock is HIGH. Data is transferred to the outputs on the falling edge of the clock pulse.
Q_0 = The output logic level before the indicated input conditions were established.
Toggle = Each output changes to the complement of its previous level on each complete active HIGH level clock pulse.
Note 1: This configuration is nonstable; that is, it will not persist when the preset and/or clear inputs return to their inactive (HIGH) level.

DM7476 Dual Master-Slave J-K Flip-Flops with Clear, Preset, and Complementary Outputs

Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - SORIA
TRIBUNAL Nº 1
OPOSICIONES AL CUERPO 069
090-124 - 2023

EJERCICIO Nº 2



Varias señales multiplexadas se transmiten con una portadora de 3GHz de frecuencia, por medio de un radioenlace cuyas estaciones receptora y emisora distan 20Km

El transmisor envía esa señal con una potencia P_T=10W. Este está unido a la antena mediante una línea de transmisión (cable coaxial) de 20m de longitud. El cable produce unas pérdidas en la señal a esta frecuencia de 2dB/100m. La antena emisora introduce una ganancia $G_{ant\,T}$= 32dB.
La antena receptora posee una ganancia de 21dB y está unida al recetor por un cable coaxial de 30m, semejante al de la estación emisora.
Entre las dos estaciones existe un obstáculo que añade una atenuación de 4dB en la señal que se propaga.

Se pide calcular la potencia de la señal que recibe el receptor, en dB y en vatios (w).

NOTA: *Las pérdidas de propagación en el espacio abierto se pueden calcular aproximadamente con la fórmula:*

$L_{prop}(dB)=32,45+20\log d(Km)+20\log f(MHz)$,

Donde: d= distancia entre emisor y receptor en Km

f = frecuencia de la señal en MHz

Cortesía de CEDE www.cede.es

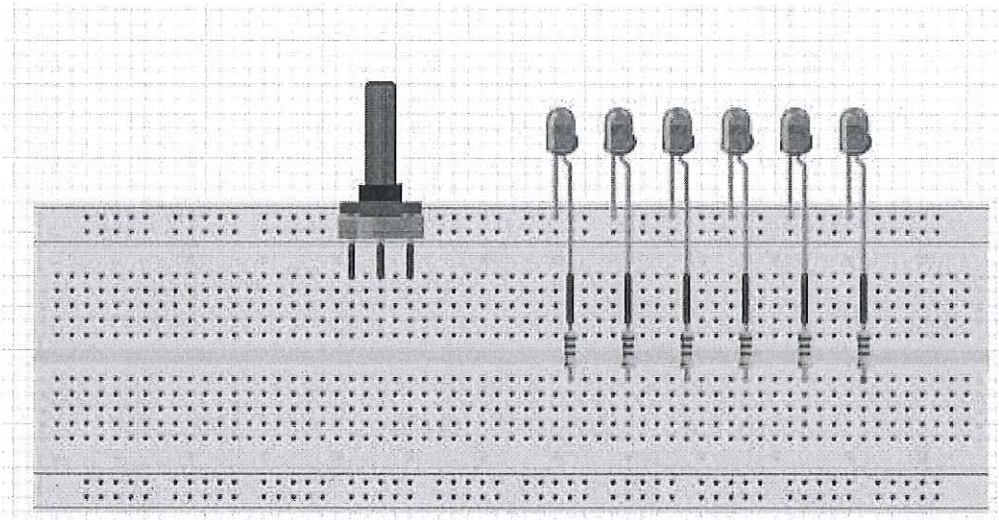
JUNTA DE CASTILLA Y LEÓN - TRIBUNAL Nº 1 - OPOSICIONES AL CUERPO 0590-124-2023 - SORIA

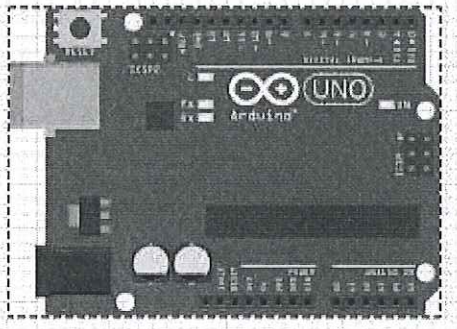
EJERCICIO Nº 3

En la figura aparece un circuito electrónico diseñado con la placa Arduino UNO rev3, montado en una placa de pruebas (la placa Arduino recibe tensión por estar conectado al puerto USB de un ordenador). Además, se muestra también el código almacenado en la memoria del microcontrolador.

Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - SORIA
TRIBUNAL Nº 1
OPOSICIONES AL CUERPO 0590-124-2023





1.- CIRCUITO ELECTRÓNICO

2.- CÓDIGO ARDUINO

```
const int pins[6] = {5,6,7,8,9,10};

const byte vumeter [7] = {0b000000,
```


Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - SORIA - OPOSICIONES AL CUERPO 0590-124-2023 TRIBUNAL Nº 1

```
    0b000001,
    0b000011,
    0b000111,
    0b001111,
    0b011111,
    0b111111,
    };

void setup( ) {
   for(int i = 2; i <= 7; i++) {
   pinMode(pins[i], INPUT);
   }
}

void loop( ) {
   int valueAnalog = analogRead(2);
   int positionLed = map(valueAnalog,0,1023,0,7);
   delay(10);
   lightVumeter (positionLed);
}

void Vumeter(int number) {
   byte numberBit = vumeter[number];
   for (int i = 0; i < 6; i++)  {
   int bit = bitRead(numberBit, i);
   digitalWrite(pins[a], bit);
   }
}
```

3.- PREGUNTAS

1.- Realizar correctamente la conexión de la placa Arduino Uno a los Led's que están en la placa de pruebas (para ello, se deben dibujar las conexiones en el esquema de la página nº2)

Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - SORIA - TRIBUNAL Nº 1 - OPOSICIONES AL CUERPO 0590-124 - 2023

2.- Realizar correctamente las conexiones de alimentación, para que llegue tensión a la placa de pruebas (para ello, se deben dibujar las conexiones en el esquema de la página nº2)
3.- Realizar correctamente la conexión del potenciómetro en el circuito (para ello, se deben dibujar las conexiones en el esquema de la página nº2)
4.- Indentificar y comentar claramente los 3 errores que hay en el código
5.- Con los errores corregidos, indicar cuál sería el estado de los 6 led's (encendido o apagado) en el caso de que el potenciómetro esté a la mitad de su recorrido

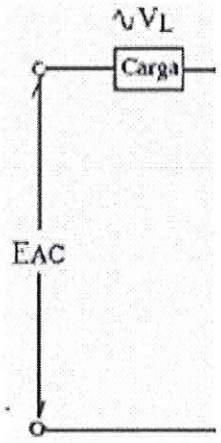
EJERCICIO Nº 4

Diseña y analiza el siguiente circuito de Potencia.

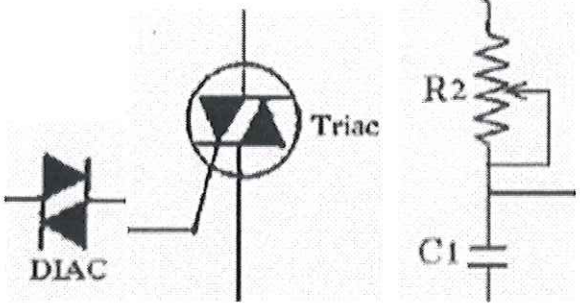
Preguntas:

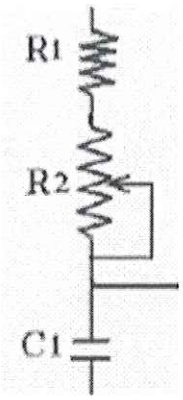
1. Dibuja el esquema de un circuito de control de fase de onda completa con TRIAC disparado mediante DIAC. Utilizando los elementos gráficos aportados.

(Datos: R1=100Ω , R2= ¿? KΩ, C1=100nF , E_{AC} =230V, f=50Hz , DIAC DB3)



Cortesía de CEDE www.cede.es





JUNTA DE CASTILLA Y LEÓN - TRIBUNAL Nº 1 - OPOSICIONES AL CUERPO 0590-124 - 2023 - SORIA

2. Explica brevemente el funcionamiento del circuito.

3. Representa gráficamente: La tensión V_{AK} en el Triac y la tensión en la carga V_L cuando el Triac se activa para un ángulo de 30º y 120º.

4. Calcula aproximadamente el intervalo de fase (mínimo y máximo ángulo) entre los que el Triac puede ser activado. (Aproxima la carga del condensador a un comportamiento lineal RC)

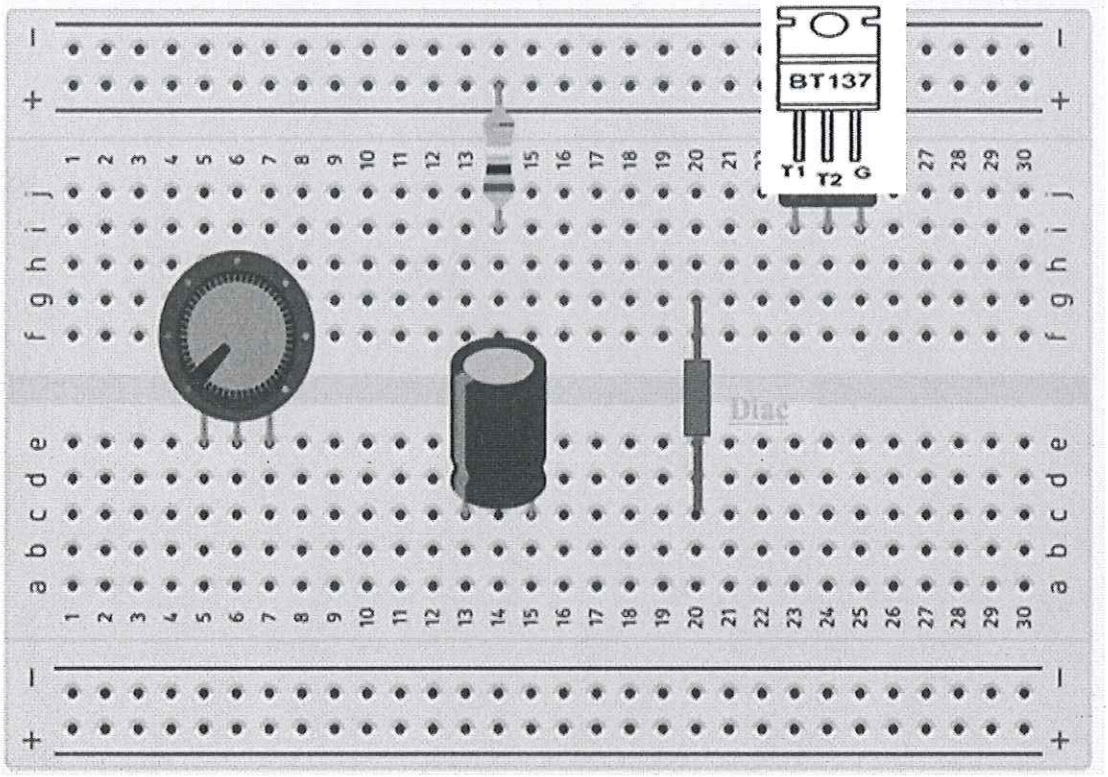
5. Calcula el valor del potenciómetro R2 apropiado para el anterior rango de disparos.

6. Dibuja las conexiones adecuadas conectando los componentes en la placa de pruebas que se adjunta.

(Conecta con líneas los componentes en la placa)

Cortesía de CEDE www.cede.es

JUNTA DE CASTILLA Y LEÓN - TRIBUNAL Nº 1 - OPOSICIONES AL CUERPO 0590-124-2023 - SORIA



D11

Cortesía de CEDE www.cede.es